

1. Να γνωρίζετε τη λειτουργία ενός ασύγχρονου και ενός σύγχρονου απαριθμητή.
2. Να κατασκευάζετε ασύγχρονους και σύγχρονους απαριθμητές με FLIP-FLOPS και να περιγράφετε τη λειτουργία τους.
3. Να σχεδιάζετε και να κατασκευάζετε απαριθμητές καθορισμένου υπολοίπου (modulo).
 - α) με FLIP-FLOP
 - β) με Ολοκληρωμένο κύκλωμα
4. Να μπορείτε να τροποποιείτε τον αριθμό του modulo ενός απαριθμητή.
5. Να μελετάτε και να χρησιμοποιείτε ολοκληρωμένα κυκλώματα απαριθμητών.
6. Να χρησιμοποιείτε BCD απαριθμητές.
7. Να κατασκευάζετε απαριθμητές προς τα πάνω και προς τα κάτω.
8. Να περιγράφετε τη λειτουργία των αμφίδρομων απαριθμητών.
9. Να γνωρίζετε τη λειτουργία του ολοκληρωμένου κυκλώματος 74193 και να κατασκευάζετε απαριθμητές με αυτό το ολοκληρωμένο κύκλωμα.

8 κεφάλαιο

ΑΠΑΡΙΘΜΗΤΕΣ

8.1 ΕΙΣΑΓΩΓΗ

Μία από τις πιο στοιχειώδεις λειτουργίες στα ακολουθιακά ψηφιακά συστήματα (sequential digital systems) είναι η απαρίθμηση. Σημαντικές εφαρμογές είναι η απαρίθμηση ενός αριθμού παλμών και η παρακολούθηση της προόδου μιας διεργασίας. Για παράδειγμα μπορούμε να μετρήσουμε συχνότητα, ταχύτητα, απόσταση, με την απαρίθμηση παλμών. Ένας απαριθμητής προγράμματος (program counter) σε έναν υπολογιστή αποτελεί ένα παράδειγμα ενός απαριθμητή ο οποίος καταγράφει την εξέλιξη μιας διεργασίας (στο παράδειγμα διεργασία είναι η εκτέλεση των εντολών του προγράμματος).

Οι απαριθμητές είναι ψηφιακές διατάξεις οι οποίες μπορούν να καταμετρήσουν τον αριθμό των ηλεκτρικών παλμών που φθάνουν στην είσοδο του ρολογιού (clock) τους. Η καταμέτρηση γίνεται είτε στο δυαδικό σύστημα (δυαδικοί απαριθμητές – binary counters), είτε στο δεκαδικό σύστημα (δεκαδικοί απαριθμητές κωδικοποιημένοι δυαδικά – Binary Coded Decimal (BCD) counters). Ουσιαστικά, μπορούμε να θεωρήσουμε τους απαριθμητές ως ακολουθιακά κυκλώματα με μία μόνο είσοδο (input), αυτήν του ρολογιού τους. Η πληροφορία εξόδου αφορά στον αριθμό των παλμών που εφαρμόστηκαν σε αυτήν την είσοδο.

8.2 ΒΑΣΙΚΕΣ ΕΝΝΟΙΕΣ

Οι απαριθμητές (counters) χωρίζονται σε δύο κατηγορίες :

- ☛ τους ασύγχρονους απαριθμητές (asynchronous counters)
- ☛ τους σύγχρονους απαριθμητές (synchronous counters).

Οι απαριθμητές κατασκευάζονται από flip-flops κατάλληλα συνδεδεμένα μεταξύ τους.

Στους σύγχρονους απαριθμητές, οι είσοδοι ρολογιού των flip-flops, που τους αποτελούν είναι κοινές (η κοινή αυτή είσοδος ονομάζεται είσοδος ρολογιού του απαριθμητή), με αποτέλεσμα όλα τα flip-flops να αλλάζουν κατάσταση ταυτόχρονα. Αντίθετα, στους ασύγχρονους απαριθμητές οι είσοδοι ρολογιού των flip-flops, που τους αποτελούν, δεν είναι κοινές, αλλά οδηγούνται από την έξοδο του προηγούμενου flip-flop, με αποτέλεσμα τα flip-flops να μην αλλάζουν ταυτόχρονα κατάσταση, αλλά οι αλλαγές των καταστάσεών τους να μεταδίδονται σαν κυμάτωση (ripple) από το ένα flip-flop προς το άλλο.

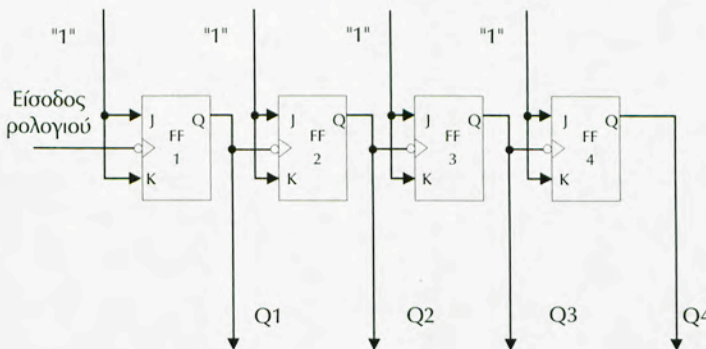
8.3 ΑΣΥΓΧΡΟΝΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

8.3.1 Ασύγχρονος δυαδικός απαριθμητής

Στο Σχήμα 8.3.1 φαίνεται το βασικό κύκλωμα ενός ασύγχρονου (asynchronous) δυαδικού (binary) απαριθμητή (counter) με τέσσερα flip-flops. Το κύκλωμα αυτό χρη-

σιμοποιεί 4 J-K flip-flops τα οποία διεγείρονται με το αρνητικό μέτωπο του παλμού του ρολογιού τους. Από το σχήμα 8.3.1 φαίνεται ότι το εξωτερικό σήμα του ρολογιού του απαριθμητή εφαρμόζεται μόνο στο πρώτο flip-flop, ενώ το σήμα ρολογιού των υπόλοιπων flip-flops προέρχεται από την έξοδο του προηγούμενου flip-flop. Με αυτόν τον τρόπο σύνδεσης το σήμα του ρολογιού διαδίδεται σειριακά στο εσωτερικό του κυκλώματος από την έξοδο του κάθε flip-flop στην είσοδο ρολογιού του επόμενου flip-flop. Τα flip-flops αλλάζουν το ένα μετά το άλλο σε μία γρήγορη ακολουθία και το σήμα του ρολογιού μεταδίδεται μέσω του απαριθμητή σαν κυμάτωση (ripple).

Τα J-K flip-flops του σχήματος 8.3.1 λειτουργούν με τρόπο "toggle" λόγω του ότι $J=K=1$ και έτσι αλλάζουν κατάσταση (παιρνουν την συμπληρωματική της προηγούμενης κατάστασης), όταν στην είσοδο του ρολογιού εφαρμοστεί παλμός.



Σχήμα 8.3.1 Ασύγχρονος δυαδικός απαριθμητής 4-bits

Στον πίνακα 8.3.1 φαίνεται η ακολουθία μετρήσεων του απαριθμητή. Τα Q4, Q3, Q2, Q1 είναι οι έξοδοι των τεσσάρων flip-flops και αντιστοιχούν στον 4-bits αριθμό Q4Q3Q2Q1 (με Q4 το MSB και Q1 το LSB).

Η αναλυτική λειτουργία του κυκλώματος του απαριθμητή είναι η εξής:

- ✓ Το Q1 σύμφωνα με ότι είπαμε (λόγω του ότι $J=K=1$) θα συμπληρώνει (αντιστρέφει) την κατάστασή του με κάθε παλμό μέτρησης. Με το πρώτο αρνητικό μέτωπο του ρολογιού, το flip-flop 1 αλλάζει λογική κατάσταση από "0" σε "1". Τα άλλα flip-flops θα παραμείνουν στην ίδια κατάσταση, γιατί η αλλαγή κατάστασης από "0" σε "1" του flip-flop1 δεν προκαλεί στις εισόδους των ρολογιών τους αρνητικό μέτωπο παλμού. Έτσι, με τον πρώτο παλμό ρολογιού, οι έξοδοι του ασύγχρονου δυαδικού απαριθμητή θα είναι: Q4Q3Q2Q1=0001
- ✓ Με το δεύτερο παλμό ρολογιού, το flip-flop 1 συμπληρώνει πάλι την κατάστασή του. Όποτε η έξοδος Q1 αλλάζει από "1" σε "0" (επομένως έχουμε αρνητικό μέτωπο παλμού) και λόγω του ότι τροφοδοτεί την είσοδο ρολο-

Πίνακας 8.3.1 Ακολουθία μέτρησης ενός δυαδικού ασύγχρονου 4-bits απαριθμητή

Παλμός ρολογιού	Έξοδοι flip-flops			
	Q4	Q3	Q2	Q1
Αρχική κατάσταση	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

γιού του flip-flop 2, θα προκαλέσει την αλλαγή της κατάστασής του flip-flop 2 από "0" σε "1". Τα άλλα δύο flip-flops δεν θα αλλάξουν κατάσταση αφού δεν εμφανίζονται αρνητικά μέτωπα παλμών στις εισόδους των ρολογιών τους. Επομένως, με τον δεύτερο παλμό ρολογιού, οι έξοδοι του ασύγχρονου δυαδικού απαριθμητή θα είναι: $Q_4Q_3Q_2Q_1 = 0010$

- ✓ Με τον τρίτο παλμό ρολογιού, το flip-flop 1 συμπληρώνει πάλι την κατάστασή του. Η έξοδος Q1 αλλάζει από "0" σε "1" (δεν έχουμε αρνητικό μέτωπο παλμού για το flip-flop 2) και επομένως η κατάσταση του flip-flop 2 δεν αλλάζει. Τα άλλα δύο flip-flops δεν θα αλλάξουν κατάσταση αφού δεν εμφανίζονται αρνητικά μέτωπα παλμών στις εισόδους των ρολογιών τους. Επομένως, με τον τρίτο εξωτερικό παλμό ρολογιού (clock), οι έξοδοι του ασύγχρονου δυαδικού απαριθμητή θα είναι: $Q_4Q_3Q_2Q_1 = 0011$
- ✓ Ο κύκλος απαρίθμησης συνεχίζεται με παρόμοιο τρόπο έως ότου όλες οι έξοδοι των flip-flops βρεθούν στην κατάσταση "1". Τότε, με τον επόμενο

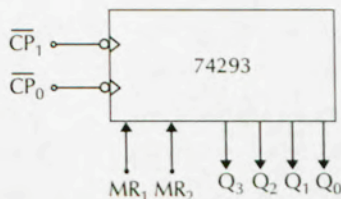
παλμό ρολογιού όλα τα flip-flops μετáγονται στην κατάσταση "0" και ο κύκλος απαρίθμησης επαναλαμβάνεται από την αρχή.

Σ' αυτό το σημείο, επίσης, είναι σωστό να τονίσουμε ότι οι παλμοί του ρολογιού που θα απαριθμηθούν **δεν πρέπει** αναγκαστικά να έχουν σταθερή συχνότητα (ή ισοδύναμα περίοδο). Ανάλογα με την εφαρμογή, ο ρυθμός των παλμών ρολογιού μπορεί να μεταβάλλεται στο χρόνο. Ένα παράδειγμα από την πραγματικότητα θα μπορούσε να είναι ένα σύστημα απαρίθμησης των χιλιομέτρων που διανύει ένα αυτοκίνητο. Μπορούμε να φαντασθούμε ένα ψηφιακό σύστημα καταγραφής χιλιομέτρων το οποίο θα απαριθμεί τον αριθμό των περιστροφών μίας από τις ρόδες του αυτοκινήτου και θα το αντιστοιχεί σε χιλιόμετρα (ένα συγκεκριμένο αριθμό περιστροφών). Ο ρυθμός των παλμών (κάθε πότε εμφανίζεται παλμός) που θα αποτελούν την είσοδο για το ρολόι του απαριθμητή μας θα εξαρτάται από την ταχύτητα με την οποία μετακινείται το αυτοκίνητο (μικρές ταχύτητες θα σημαίνουν μικρό ρυθμό παλμών δηλαδή οι παλμοί θα εμφανίζονται σε μεγάλα χρονικά διαστήματα σε σύγκριση με τις μεγάλες ταχύτητες οι οποίες θα σημαίνουν μεγάλο ρυθμό παλμών δηλαδή οι παλμοί θα εμφανίζονται σε μικρά χρονικά διαστήματα).

8.3.2 Ασύγχρονος Δυαδικός Απαριθμητής 74293

Το O.K. 74293 είναι ένας δυαδικός ασύγχρονος απαριθμητής, το οποίο φαίνεται στο Σχήμα 8.3.2. Η λειτουργία του ολοκληρωμένου ως 4-bits απαριθμητή, επιτυγχάνεται ως εξής:

- ☛ Τα Q0, Q1, Q2, Q3 είναι οι έξοδοι του απαριθμητή, όπου το Q0 είναι το λιγότερο σημαντικό bit και το Q3 είναι το περισσότερο σημαντικό bit.
- ☛ Η έξοδος Q0 συνδέεται στην είσοδο \overline{CP}_1 .
- ☛ Θέτοντας τις εισόδους ελέγχου MR₁ και MR₂ σε λογική κατάσταση "1" μηδενίζεται η αρχική κατάσταση του απαριθμητή. Στην συνέχεια θέτοντας MR₁ είτε MR₂ σε λογική κατάσταση "0" μπορεί να ξεκινήσει η διαδικασία απαρίθμησης.
- ☛ Οι παλμοί ρολογιού εφαρμόζονται στην είσοδο ρολογιού \overline{CP}_0 .



Σχήμα 8.3.2 Το O.K. 74293

8.3.3 Ασύγχρονος BCD Απαριθμητής

Ο BCD απαριθμητής απαριθμεί δέκα καταστάσεις, από την κατάσταση 0 έως την κατάσταση 9, μετά την οποία γυρίζει πάλι στην κατάσταση 0. Ο BCD απαριθμητής ονομάζεται και δεκαδικός απαριθμητής. Ο BCD απαριθμητής πρέπει (σύμφωνα με τα όσα γνωρίζουμε) να αποτελείται από 4 flip-flops, αφού χρειάζονται τέσσερα bits για την κωδικοποίηση των 10 δεκαδικών ψηφίων. Για να καταλάβουμε την λειτουργία αυτού του δυαδικού απαριθμητή, αρχικά πρέπει να κοιτάξουμε τον πίνακα 8.3.2 που δείχνει την ακολουθία των μετρήσεων του. Τα Q4, Q3, Q2, Q1 είναι οι έξοδοι των τεσσάρων flip-flops με αρχική κατάσταση μηδέν.

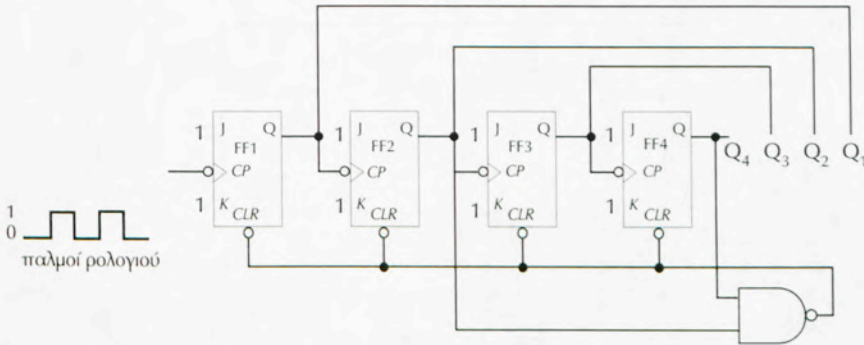
Πίνακας 8.3.2 Ακολουθία μέτρησης ενός BCD απαριθμητή

Παλμός ρολογιού	Έξοδοι			
	Q4	Q3	Q2	Q1
Αρχική κατάσταση	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

Συγκρίνοντας την ακολουθία μέτρησης ενός δυαδικού ασύγχρονου απαριθμητή τεσσάρων bits (Πίνακας 8.3.1) με την ακολουθία μέτρησης του ασύγχρονου BCD απαριθμητή παρατηρούμε ότι οι ακολουθίες μέτρησης είναι ίδιες για τους 9 πρώτους παλμούς ρολογιού. Στην συνέχεια ο BCD απαριθμητής επιστρέφει στην αρχική κατάσταση όπου όλα τα flip-flops μηδενίζονται.

Η κατασκευή ενός ασύγχρονου BCD απαριθμητή είναι παρόμοια με την κατασκευή του δυαδικού ασύγχρονου απαριθμητή τεσσάρων bits. Στο Σχήμα 8.3.3 φαίνεται το κύκλωμα ενός ασύγχρονου BCD απαριθμητή.

Ο απαριθμητής αποτελείται από τέσσερα J-K flip-flops με $J=K="1"$.



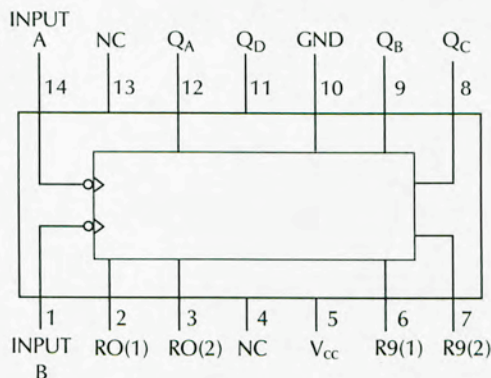
Σχήμα 8.3.3 Ασύγχρονος BCD απαριθμητής

Η διαφορά του κυκλώματος του ασύγχρονου BCD απαριθμητή από το κύκλωμα του ασύγχρονου δυαδικού απαριθμητή τεσσάρων bits, βρίσκεται στην ύπαρξη μίας πύλης **NAND**. Η πύλη αυτή υπάρχει για να μηδενίζει το περιεχόμενο των τεσσάρων flip-flops με τον επόμενο παλμό ρολογιού, όταν ο απαριθμητής βρίσκεται στην κατάσταση $Q_4Q_3Q_2Q_1=1001$. (Η επόμενη κατάσταση στην οποία θα περνούσαν τα τέσσερα flip-flops μετά την κατάσταση 1001, αν δεν υπήρχε η πύλη NAND, θα ήταν η 1010 όπως γίνεται στον ασύγχρονο δυαδικό απαριθμητή).

Αυτό συμβαίνει γιατί, όταν εμφανισθεί η κατάσταση $Q_4Q_3Q_2Q_1=1010$, η έξοδος της πύλης NAND παίρνει τη λογική κατάσταση "0" (αφού έχει εισόδους τις εξόδους Q_4 και Q_2). Επειδή η έξοδος της πύλης NAND τροφοδοτεί τις ασύγχρονες εισόδους μηδενισμού των flip-flops, τα τέσσερα flip-flops θα πάρουν τη λογική κατάσταση "0" δηλαδή $Q_4Q_3Q_2Q_1=0000$. Όταν η κατάσταση του απαριθμητή δεν είναι $Q_4Q_3Q_2Q_1=1001$, τότε η έξοδος της πύλης NAND είναι "1", με αποτέλεσμα οι ασύγχρονες εισόδους μηδενισμού των flip-flops να είναι απενεργοποιημένες.

8.3.4 Ασύγχρονος Απαριθμητής BCD με το Ο.Κ. 7490

Στο Σχήμα 8.3.4 παρουσιάζεται το ολοκληρωμένο κύκλωμα 7490 που είναι ένας ασύγχρονος απαριθμητής BCD.



Σχήμα 8.3.4 To O.K. 7490

Το O.K. 7490 αποτελείται εσωτερικά από δύο τμήματα. Το ένα τμήμα είναι ένα J-K flip-flop του οποίου η είσοδος ρολογιού INPUT A είναι ο ακροδέκτης 14, οι εισόδοι του J και K συνδέονται εσωτερικά στην λογική κατάσταση "1" και η έξοδος του QA είναι ο ακροδέκτης 12. Το δεύτερο τμήμα αποτελείται από τρία J-K flip-flops με τις εισόδους τους J και K συνδεδεμένες εσωτερικά στην λογική κατάσταση "1" και εξόδους QB, QC και QD (ακροδέκτες 9, 8, και 11 αντίστοιχα). Το πρώτο flip-flop του δεύτερου τμήματος έχει είσοδο ρολογιού την INPUT B (ακροδέκτης 1) ενώ το κάθε ένα από τα άλλα δύο flip-flops έχει είσοδο ρολογιού που τροφοδοτείται από την έξοδο του γειτονικού του. Για την λειτουργία του O.K. 7490 ως ασύγχρονου απαριθμητή BCD πρέπει να συνδέσουμε την έξοδο QA στην είσοδο INPUT B, ενώ η είσοδος INPUT A είναι η είσοδος ρολογιού του απαριθμητή BCD.

Επίσης τουλάχιστον δύο από τις εισόδους ελέγχου R0(1), R0(2), R9(1) και R9(2) (ακροδέκτες 2, 3, 6 και 7 αντίστοιχα) θα πρέπει να βρίσκονται σε λογική κατάσταση "0" ώστε να λειτουργεί ο απαριθμητής. Διαφορετικά, αν R0(1)=1, R0(2)=1 και R9(1)=0, τότε ο απαριθμητής θα βρίσκεται στην κατάσταση 0000 χωρίς να απαριθμεί, ενώ αν R9(1)=1 και R9(2)=1, τότε ο απαριθμητής θα βρίσκεται στην κατάσταση 1001 χωρίς να απαριθμεί.

8.4 ΣΥΓΧΡΟΝΟΙ ΔΥΑΔΙΚΟΙ ΑΠΑΡΙΘΜΗΤΕΣ

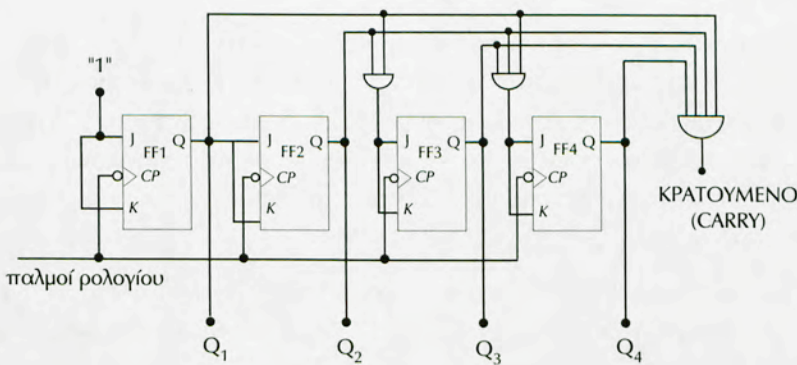
Στην παράγραφο 8.2 αναφέραμε ότι οι απαριθμητές χωρίζονται σε δύο κατηγορίες, τους ασύγχρονους και τους σύγχρονους. Οι σύγχρονοι απαριθμητές διαφέρουν από τους ασύγχρονους στο ότι οι παλμοί του ρολογιού εφαρμόζονται στις εισόδους ρολογιού CP όλων των flip-flops του απαριθμητή. Η κατασκευή των απαριθμητών βασίζεται σε flip-flops τα οποία συμπληρώνουν (αντιστρέφουν) την κατάστασή τους, όταν οι εισόδοι ελέγχου τους βρίσκονται σε μια συγκεκριμένη κατάσταση.

8.4.1 Προς τα πάνω Απαριθμητές

Στην παράγραφο αυτή θα ασχοληθούμε με την κατασκευή σύγχρονων δυαδικών απαριθμητών, δηλαδή απαριθμητών των οποίων οι διαδοχικές καταστάσεις τις οποίες παίρνουν τα flip-flops που τους αποτελούν ακολουθούν το δυαδικό σύστημα αρίθμησης. Οι δυαδικοί απαριθμητές που θα περιγράψουμε ονομάζονται απαριθμητές προς τα πάνω (up-counters) ή αύξοντες, επειδή με κάθε παλμό ρολογιού αυξάνεται το περιεχόμενό τους κατά μία μονάδα. Οι απαριθμητές αυτοί μπορούν να κατασκευασθούν με J-K flip-flops. Θυμίζουμε ότι ένα J-K flip-flop συμπληρώνει την κατάστασή του με την εμφάνιση παλμού στην είσοδο του ρολογιού του όταν $J=K="1"$. Λόγω του ότι η είσοδος του ρολογιού είναι κοινή σε όλα τα flip-flops ενός σύγχρονου απαριθμητή, η λογική κατασκευής του στηρίζεται σε συνδυαστικά κυκλώματα με τα οποία ελέγχονται οι είσοδοι J και K των flip-flops και ανάλογα επιτρέπεται ή όχι η αλλαγή της κατάστασής τους.

Ο τρόπος με τον οποίο σχεδιάζουμε ένα δυαδικό σύγχρονο απαριθμητή είναι αρκετά απλός. Θα χρησιμοποιήσουμε J-K flip-flops για την υλοποίηση ενός σύγχρονου δυαδικού απαριθμητή των τεσσάρων bits. Το τελευταίο bit του απαριθμητή θα αλλάζει (συμπληρώνει) πάντα την κατάστασή του με κάθε παλμό ρολογιού. Για να γίνεται αυτό οι είσοδοι J και K του flip-flop FF1 θα πρέπει να βρίσκονται στη λογική κατάσταση "1" συνεχώς. Κάθε άλλο flip-flop θα αλλάζει (αντιστρέφεται) μόνο, αν **όλα** τα bits των προηγούμενων από αυτό flip-flops έχουν τη λογική κατάσταση "1".

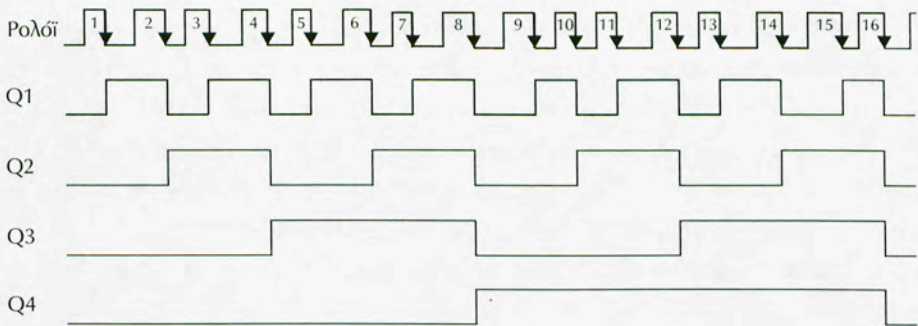
Για παράδειγμα αν η κατάσταση του απαριθμητή είναι $Q_4Q_3Q_2Q_1=0011$ τότε η επόμενη κατάστασή του $Q_4Q_3Q_2Q_1=0100$. Το Q_1 αλλάζει πάντα, το Q_2 αντιστρέφεται αφού $Q_1=1$, το Q_3 αντιστρέφεται αφού $Q_2Q_1=11$ και το Q_4 δεν αλλάζει αφού $Q_3Q_2Q_1=011$ (δεν είναι όλα "1").



Σχήμα 8.4.1 Σύγχρονος δυαδικός απαριθμητής τεσσάρων bits

Στο σχήμα 8.4.1 φαίνεται το κύκλωμα ενός σύγχρονου δυαδικού απαριθμητή των τεσσάρων bits. Τα τέσσερα flip-flops έχουν κοινό ρολόι. Οι εισόδους J και K του FF1 βρίσκονται συνεχώς στη λογική κατάσταση "1", επομένως, όπως ήδη έχουμε αναφέρει, θα συμπληρώνει την κατάστασή του με κάθε αρνητικό μέτωπο παλμού στην είσοδο του ρολογιού του. Τα υπόλοιπα flip-flops θα αλλάζουν κατάσταση με το αρνητικό μέτωπο του παλμού του ρολογιού μόνο, αν όλα τα προηγούμενα flip-flops βρίσκονται στην κατάσταση "1". Τη συνθήκη αυτή την υλοποιούμε με τις πύλες **AND** που οδηγούν τις εισόδους J και K των flip-flops και σαν εισόδους έχουν τις εξόδους των προηγούμενων flip-flops. Η έξοδος της τελευταίας πύλης AND έχει την έννοια του κρατουμένου και συχνά χρησιμοποιείται για την κατασκευή μεγαλύτερων απαριθμητών.

Στο σχήμα 8.4.2 φαίνονται οι κυματομορφές των εξόδων του σύγχρονου προς τα πάνω δυαδικού απαριθμητή των τεσσάρων bits.

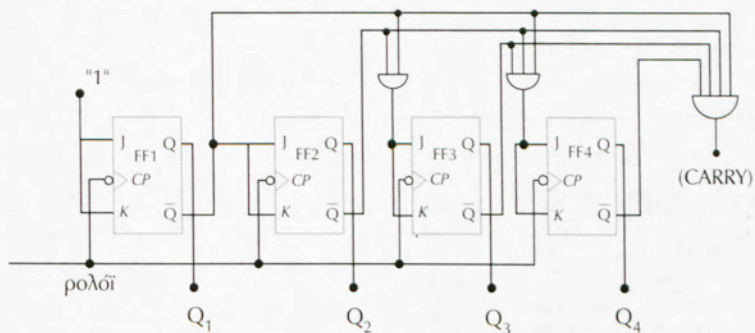


Σχήμα 8.4.2 Κυματομορφές των εξόδων ενός προς τα πάνω σύγχρονου δυαδικού απαριθμητή 4-bits

8.4.2 Προς τα κάτω απαριθμητές

Ο προς τα κάτω (down-counter) ή φθίνων απαριθμητής θα ελαττώνει το περιεχόμενο του κατά μία μονάδα με κάθε παλμό ρολογιού. Το κύκλωμα του προς τα κάτω σύγχρονου δυαδικού απαριθμητή με J-K flip-flops φαίνεται στο Σχήμα 8.4.3. Για τις συνδέσεις μεταξύ των flip-flops χρησιμοποιούμε τις συμπληρωματικές εξόδους τους. Η ακολουθία μέτρησης αυτού του απαριθμητή φαίνεται στον Πίνακα 8.4.1 (ξεκινώντας με αρχική τιμή $Q_4Q_3Q_2Q_1 = 1111$).

Λόγω του ότι η ακολουθία μέτρησης του προς τα κάτω απαριθμητή είναι η συμπληρωματική της ακολουθίας μέτρησης του προς τα πάνω απαριθμητή, μπορούμε να χρησιμοποιήσουμε τις συμπληρωματικές εξόδους ενός προς τα πάνω απαριθμητή για να κατασκευάσουμε έναν προς τα κάτω απαριθμητή.



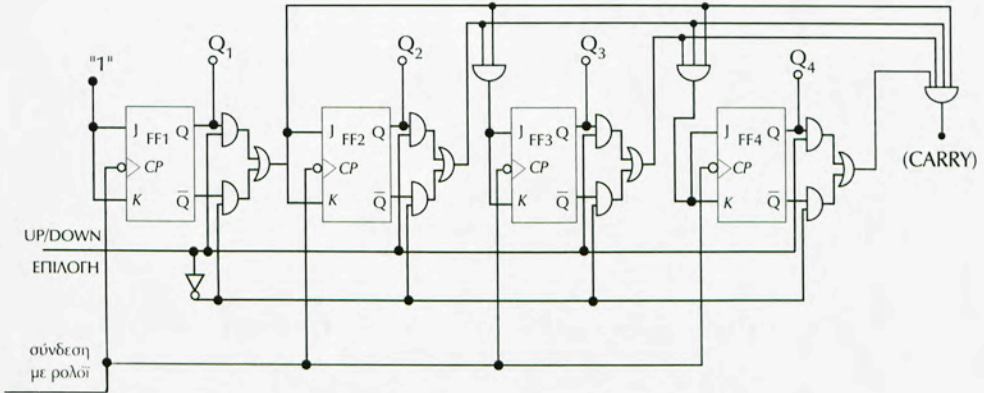
Σχήμα 8.4.3 Σύγχρονος δυαδικός απαριθμητής προς τα κάτω τεσσάρων bits

Πίνακας 8.4.1 Ακολουθία μέτρησης ενός δυαδικού σύγχρονου προς τα κάτω απαριθμητή 4-bits

Παλμός ρολογιού	Q4	Q3	Q2	Q1
Αρχική κατάσταση	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1
9	0	1	1	0
10	0	1	0	1
11	0	1	0	0
12	0	0	1	1
13	0	0	1	0
14	0	0	0	1
15	0	0	0	0
16	1	1	1	1

8.4.3 Αμφίδρομοι απαριθμητές

Ο αμφίδρομος απαριθμητής (Up/Down Counter) έχει τη δυνατότητα απαρίθμησης είτε προς τα πάνω είτε προς τα κάτω. Στο σχήμα 8.4.4 φαίνεται ένας δυαδικός σύγχρονος αμφίδρομος μετρητής τεσσάρων bits. Η επιλογή του τρόπου απαρίθμησης γίνεται με την είσοδο ελέγχου "Up/Down". Όταν η είσοδος αυτή είναι "1", τότε ο απαριθμητής μετράει προς τα πάνω, ενώ όταν η είσοδος αυτή είναι "0", τότε ο απαριθμητής μετράει προς τα κάτω.



Σχήμα 8.4.4 Σύγχρονος δυαδικός αμφίδρομος απαριθμητής των 4-bits

ναί "0", τότε ο απαριθμητής μετράει προς τα κάτω.

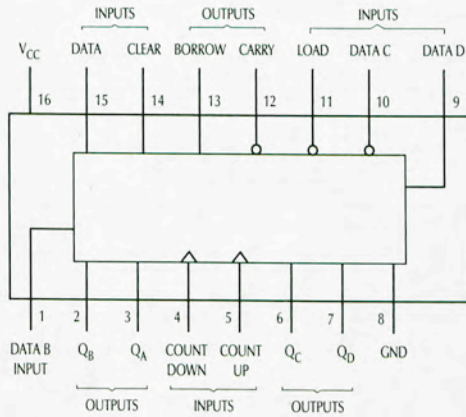
Χρησιμοποιώντας δύο πύλες **AND** και μία πύλη **OR** για κάθε flip-flop του απαριθμητή επιτυγχάνουμε την επιλογή του τρόπου λειτουργίας του απαριθμητή. Ανάλογα με την λογική κατάσταση της εισόδου ελέγχου "Up/Down", επιλέγουμε αν η έξοδος Q ή η έξοδος \bar{Q} καθορίζει την κατάσταση των εισόδων J και K του επόμενου flip-flop. Όταν η είσοδος ελέγχου είναι "1", το κύκλωμα μετρά προς τα πάνω, αφού οι εισοδοί J και K των flip-flops ελέγχονται από τις προηγούμενες εξόδους Q. Όταν η είσοδος ελέγχου είναι "0", το κύκλωμα μετρά προς τα κάτω, αφού οι εισοδοί J και K των flip-flops ελέγχονται από τις προηγούμενες εξόδους \bar{Q} .

8.4.4 Απαριθμητής με το Ο.Κ. 74193

Το Ο.Κ. 74LS193 είναι ένας σύγχρονος αμφίδρομος δυαδικός απαριθμητής των 4-bits. Η σύγχρονη λειτουργία εξασφαλίζεται με την ταυτόχρονη (παράλληλη) τροφοδότηση όλων των flip-flops με την είσοδο του ρολογιού του ολοκληρω-

μένου κυκλώματος, έτσι ώστε όλες οι έξοδοι να αλλάζουν ταυτόχρονα. Οι έξοδοι των flip-flops μεταβάλλονται με το θετικό μέτωπο των παλμών στην είσοδο του ρολογιού.

Στο σχήμα 8.4.5 παρουσιάζεται το ολοκληρωμένο κύκλωμα 74193.



Σχήμα 8.4.5 Το Ο.Κ. 74193

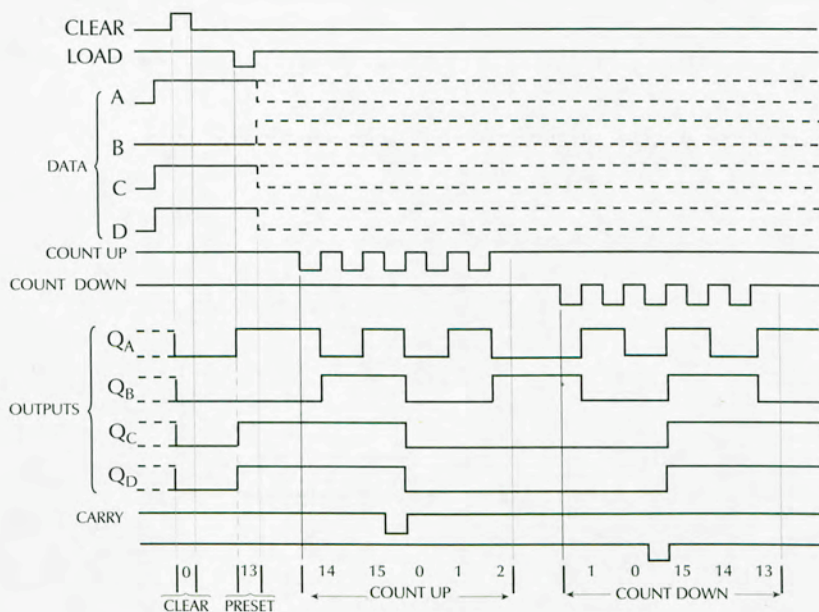
Υπάρχουν δύο είσοδοι ρολογιού **count up** (απαρίθμηση προς τα πάνω) και **count down** (απαρίθμηση προς τα κάτω). Η κατεύθυνση της απαρίθμησης προς τα πάνω ή προς τα κάτω, εξαρτάται από το σε ποια από τις δύο αυτές εισόδους εφαρμόζουμε τους παλμούς του ρολογιού, οπότε ο απαριθμητής θα μετατρέπεται σε απαριθμητής προς τα πάνω ή απαριθμητής προς τα κάτω αντίστοιχα.

Ο απαριθμητής προγραμματίζεται ώστε να ξεκινά από μία συγκεκριμένη κατάσταση των flip-flops του, δηλαδή να μην ξεκινά υποχρεωτικά από 0000 ή 1111, αλλά από οποιοδήποτε αριθμό των 4 bits. Αυτό γίνεται με την τοποθέτηση των επιθυμητών καταστάσεων (λογική κατάσταση "0" ή "1") στις εισόδους δεδομένων **A,B,C,D**, όταν η είσοδος **LOAD** βρίσκεται σε κατάσταση "0". Η λειτουργία αυτή είναι ασύγχρονη (δηλαδή ανεξάρτητη από τους παλμούς του ρολογιού) και ονομάζεται **παράλληλη φόρτωση** (parallel load) του απαριθμητή.

Υπάρχει μία ασύγχρονη είσοδος μηδενισμού **CLEAR** η οποία όταν πάρει τη λογική κατάσταση "1", ο απαριθμητής μηδενίζεται και τα flip-flops παίρνουν τη λογική κατάσταση "0".

Η κατάσταση των flip-flops του απαριθμητή εμφανίζεται στις εξόδους τους **QA,QB,QC,QD**, όπου το QA είναι το LSB ενώ το QD είναι το MSB.

Οι έξοδοι **CARRY** και **BORROW** χρησιμοποιούνται για τη σύνδεση δύο ή περισσότερων Ο.Κ. 74193 στη σειρά για τη δημιουργία μεγαλύτερων απαριθμητών.



Σχήμα 8.4.6 Κυματομορφές χρονισμού του απαριθμητή 74193

Στο Σχήμα 8.4.6 φαίνονται οι κυματομορφές των σημάτων εξόδου και εισόδου του Ο.Κ. 74193 κατά τη λειτουργία του σαν απαριθμητής προς τα πάνω και προς τα κάτω. Τα δεδομένα τα οποία εφαρμόζουμε στον απαριθμητή, στις εισόδους του D, C, B, A, αντιστοιχούν στον δυαδικό αριθμό $1101 = 13_{10}$. Αρχικά, ο απαριθμητής μηδενίζεται, στη συνέχεια φορτώνονται τα δεδομένα 1101 στα flip-flops του και η απαρίθμηση προς-τα-πάνω ξεκινά με τους παλμούς του ρολογιού στην είσοδο COUNT UP. Όταν ο απαριθμητής φτάσει στην κατάσταση $0010 = 2_{10}$, σταματούν οι παλμοί ρολογιού στην είσοδο COUNT UP και εμφανίζονται μετά από ένα χρονικό διάστημα στην είσοδο ρολογιού COUNT DOWN. Σ' αυτό το χρονικό διάστημα η κατάσταση των flip-flops του απαριθμητή μένει αμετάβλητη και στη συνέχεια ο απαριθμητής απαριθμεί προς τα κάτω. Μπορούμε να παρατηρήσουμε ότι στην απαρίθμηση προς τα πάνω, όταν ξεπερασθεί η κατάσταση $1111 = 15_{10}$, τότε εμφανίζεται ένας παλμός στην έξοδο CARRY. Αντίστοιχα, στην απαρίθμηση προς τα κάτω, όταν μηδενισθεί ο απαριθμητής, τότε εμφανίζεται ένας παλμός στην έξοδο BORROW.

8.5 ΑΠΑΡΙΘΜΗΤΕΣ MODULO N

8.5.1 Η έννοια του modulo

Οι απαριθμητές που έχουμε περιγράψει ως τώρα απαριθμούν έως ένα μέγιστο αριθμό παλμών και στη συνέχεια το περιεχόμενό τους μηδενίζεται (ή ισοδύ-

ναμα αρχίζουν την απαρίθμηση από την αρχή). Ένας απαριθμητής modulo N απαριθμεί N παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και $N-1$). Ο δυαδικός απαριθμητής των τεσσάρων bits απαριθμεί 16 παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και 15) και γι' αυτό ονομάζεται απαριθμητής modulo 16. Ο BCD απαριθμητής απαριθμεί 10 παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και 9) και γι' αυτό ονομάζεται απαριθμητής modulo 10.

Παράδειγμα

Με ένα παράδειγμα θα προσπαθήσουμε να ξεκαθαρίσουμε την έννοια του modulo. Έστω ότι έχουμε έναν δυαδικό απαριθμητή modulo 16. Ο απαριθμητής ξεκινά από την αρχική κατάσταση 0000 να απαριθμεί. Κάποια χρονική στιγμή σταματάμε τους παλμούς στην είσοδο του ρολογιού και παρατηρούμε ότι οι έξοδοι του απαριθμητή είναι 1100. Πόσοι είναι οι παλμοί ρολογιού τους οποίους δέχθηκε ο απαριθμητής;

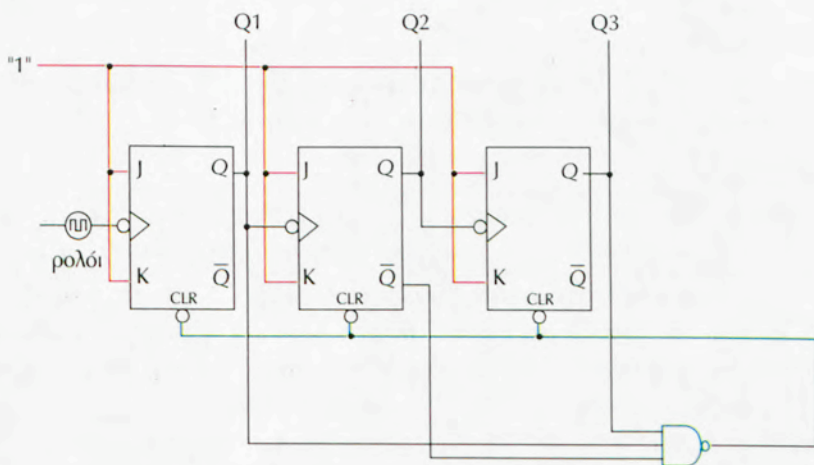
Η πρώτη απάντηση είναι ότι δέχθηκε 12 παλμούς ($1100 = 12_{10}$). Η σωστή απάντηση είναι 12 ή 28 (ένας κύκλος μέτρησης = 16 παλμοί + 12 παλμοί) ή 44 (δύο κύκλοι μέτρησης = $2 \times 16 + 12$) κ.τ.λ. Για να δώσουμε το σωστό αποτέλεσμα χρειαζόμαστε την πληροφορία από πόσους κύκλους μέτρησης (από 0 μέχρι 15) έχει περάσει ο απαριθμητής.

Με M flip-flops μπορούμε να κατασκευάσουμε έναν απαριθμητή modulo N με $N \leq 2^M$. Για παράδειγμα, με τρία flip-flops μπορούμε να κατασκευάσουμε έναν απαριθμητή modulo 8, αλλά επίσης μπορούμε να κατασκευάσουμε απαριθμητή modulo 7, modulo 6 και modulo 5. Για τον απαριθμητή modulo 4 πρέπει να χρησιμοποιήσουμε δύο flip-flops.

8.5.2 Αλλαγή του modulo

Για να κατασκευάσουμε έναν προς τα πάνω απαριθμητή modulo 5 χρησιμοποιούμε έναν προς τα πάνω απαριθμητή modulo 8, τροποποιώντας κατάλληλα το κύκλωμά του, όπως φαίνεται στο Σχήμα 8.5.1. Ο απαριθμητής modulo 8 έχει τρία flip-flops με ασύγχρονες εισόδους μηδενισμού (clear) που ενεργοποιούνται με "0". Αν οι εισοδοί μηδενισμού είναι απενεργοποιημένες τότε η ακολουθία μέτρησης είναι από 0 έως και 7. Για να αλλάξουμε το modulo του απαριθμητή από 8 σε 5 βραχυκυκλώνουμε τις ασύγχρονες εισόδους μηδενισμού των flip-flops και τις οδηγούμε μέσω μίας πύλης NAND με εισόδους τις $Q_3 \overline{Q_2} Q_1$. Όταν ο απαριθμητής φτάσει στην κατάσταση $Q_3 Q_2 Q_1 = 101$ (δηλαδή 5 στο δεκαδικό σύστημα), τότε $Q_3 \overline{Q_2} Q_1 = 111$ οπότε η έξοδος της πύλης NAND είναι "0" με αποτέλεσμα να ενεργοποιείται η είσοδος μηδενισμού και ο απαριθμητής να μηδενίζεται. Με τη σύνδεση αυτή, όταν έλθει ο 5ος παλμός ο απαριθμητής θα πάρει την κατάσταση 101 η οποία αμέσως θα γίνει 000 (αντί να αυξησει το περιεχόμενό του). Έτσι η ακολουθία μέτρησης είναι από 0 μέχρι και 4 δηλαδή το κύκλωμα λειτουρ-

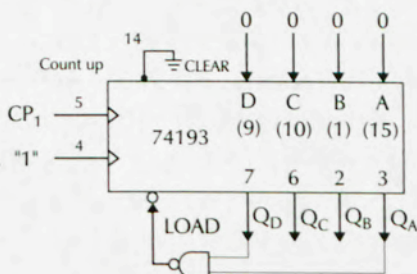
γείως απαριθμητής modulo 5. Παρόμοια λογική μπορεί να επεκταθεί σε οποιαδήποτε αλλαγή του modulo.



Σχήμα 8.5.1 Αλλαγή του modulo ενός δυαδικού προς τα πάνω απαριθμητή από 8 σε 5

Εκτός από την αλλαγή του modulo ενός απαριθμητή με την χρήση της ασύγχρονης εισόδου μηδενισμού χρησιμοποιείται η δυνατότητα της παράλληλης φόρτωσης που υπάρχει σε κάποια ολοκληρωμένα κυκλώματα απαριθμητών, όπως το 74193. Η είσοδος φόρτωσης (load) η οποία είναι ασύγχρονη ενεργοποιείται με την λογική κατάσταση "0".

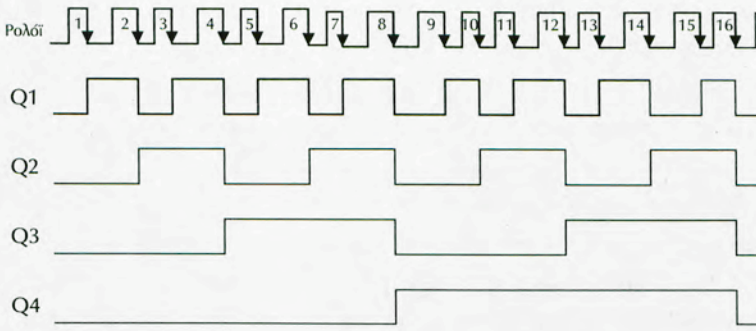
Για παράδειγμα, για να αλλάξουμε το modulo του 74193 από 16 σε 9 οδηγούμε την είσοδο φόρτωσης μέσω μίας πύλης **NAND** με εισόδους τις QD και QA, όπως φαίνεται στο Σχήμα 8.5.2. Όταν ο απαριθμητής φτάσει στην κατάσταση QDQCQBQA=1001 (δηλαδή 9 στο δεκαδικό σύστημα), τότε η έξοδος της πύλης NAND είναι "0" με αποτέλεσμα να ενεργοποιείται η είσοδος φόρτωσης και ο απαριθμητής φορτώνει τα δεδομένα που υπάρχουν στις εισόδους A,B,C,D. Για να είναι η ακολουθία μέτρησης είναι από 0 μέχρι και 8 (δηλαδή το κύκλωμα να λειτουργεί ως απαριθμητής modulo 9) θα πρέπει να θέσουμε ABCD=0000.



Σχήμα 8.5.2 Αλλαγή του modulo ενός δυαδικού προς τα πάνω απαριθμητή από 16 σε 9

8.6 ΔΙΑΙΡΕΣΗ ΣΥΧΝΟΤΗΤΑΣ

Στο Σχήμα 8.6.1 παρουσιάζονται οι κυματομορφές εξόδων του προς τα πάνω ασύγχρονου δυαδικού απαριθμητή των τεσσάρων bits του Σχήματος 8.3.1. Κάθε έξοδος των flip-flops του απαριθμητή έχει την μισή συχνότητα από την συχνότητα των παλμών που εφαρμόζονται στην είσοδο του ρολογιού του, με αποτέλεσμα τις συνεχείς διαιρέσεις της συχνότητας του ρολογιού του πρώτου flip-flop διά 2. Λόγω αυτών των διαιρέσεων, μία από τις πιο συνηθισμένες εφαρμογές των απαριθμητών είναι η διαίρεση μίας συχνότητας, με στόχο την παραγωγή υποπολλαπλασίων της. Αν η συχνότητα των παλμών ρολογιού του πρώτου flip-flop είναι f , τότε η συχνότητα της εξόδου του πρώτου flip-flop θα είναι $f/2$, του δεύτερου flip-flop θα είναι $f/4$, του τρίτου $f/8$ κλπ.



Σχήμα 8.6.1 Κυματομορφές των εξόδων ενός προς τα πάνω ασύγχρονου δυαδικού απαριθμητή 4-bits

Παράδειγμα

Έστω ότι χρειάζεται για μία κατασκευή να δημιουργηθούν οι συχνότητες 56600 Hz, 28800 Hz, 14400 Hz, 7200 Hz. Παρατηρούμε ότι μεταξύ τους οι συχνότητες έχουν τέτοια σχέση ώστε ξεκινώντας από την μεγαλύτερη η κάθε μία είναι το μισό της προηγούμενης. Χρειαζόμαστε 4 διαφορετικές συχνότητες, οπότε αν χρησιμοποιήσουμε ένα δυαδικό απαριθμητή τεσσάρων bits και σαν είσοδο ρολογιού βάλουμε ένα κύκλωμα παραγωγής παλμών με συχνότητα ίση με το διπλάσιο της μεγαλύτερης, δηλ. 113200 Hz, τότε οι εξοδοί του απαριθμητή θα μας δίνουν κάθε μία από τις επιθυμητές συχνότητες. Η συχνότητα εξόδου του πρώτου flip-flop θα είναι $113200 \text{ Hz}/2 = 56600 \text{ Hz}$, η συχνότητα της εξόδου του δεύτερου θα είναι $113200 \text{ Hz}/4 = 28800 \text{ Hz}$, η συχνότητα εξόδου του τρίτου flip-flop θα είναι $113200 \text{ Hz}/8 = 14400 \text{ Hz}$ και η συχνότητα της εξόδου του τέταρτου flip-flop θα είναι $113200 \text{ Hz}/16 = 7200 \text{ Hz}$. (Οι συχνότητες τις οποίες διαλέξαμε στο παράδειγμα είναι από τις πιο συνηθισμένες για την σειριακή επικοινωνία μεταξύ δύο

υπολογιστικών συστημάτων και εκφράζουν τον αριθμό των bits ανά δευτερόλεπτο που μεταφέρονται μεταξύ τους).

8.7 ΠΕΡΙΛΗΨΗ

1. Ο απαριθμητής είναι ένα ακολουθιακό κύκλωμα το οποίο απαριθμεί τους παλμούς οι οποίοι εφαρμόζονται στην είσοδο του ρολογιού του και καταγράφει το πλήθος τους. Τα flip-flops με τα οποία κατασκευάζονται οι απαριθμητές αποθηκεύουν την πληροφορία του πλήθους των παλμών ρολογιού και οι έξοδοί τους αποτελούν την έξοδο του απαριθμητή.
2. Οι απαριθμητές χωρίζονται σε δύο κατηγορίες, τους σύγχρονους και τους ασύγχρονους.
3. Οι ασύγχρονοι απαριθμητές έχουν σαν χαρακτηριστικό ότι οι παλμοί ρολογιού εφαρμόζονται μόνο στο πρώτο flip-flop. Στη συνέχεια η έξοδος του κάθε flip-flop οδηγεί την είσοδο του ρολογιού του επόμενου flip-flop.
4. Οι σύγχρονοι απαριθμητές έχουν σαν χαρακτηριστικό ότι οι παλμοί του ρολογιού εφαρμόζονται ταυτόχρονα σε όλα τα flip-flops.
5. Οι προς τα πάνω δυαδικοί απαριθμητές καταμετρούν παλμούς και αυξάνουν το περιεχόμενο τους κατά μία μονάδα με κάθε παλμό ρολογιού.
6. Οι προς τα κάτω δυαδικοί απαριθμητές καταμετρούν παλμούς και ελαττώνουν το περιεχόμενο τους κατά μία μονάδα με κάθε παλμό ρολογιού.
7. Οι αμφίδρομοι απαριθμητές συνδυάζουν την προς τα πάνω και προς τα κάτω μέτρηση σε ένα κύκλωμα.
8. Ο αριθμός modulo ενός απαριθμητή είναι το πλήθος των διαφορετικών καταστάσεων ή ο μέγιστος αριθμός παλμών που καταμετρά ο απαριθμητής σε κάθε κύκλο μέτρησης.

8.8 ΕΡΩΤΗΣΕΙΣ – ΑΣΚΗΣΕΙΣ – ΠΡΟΒΛΗΜΑΤΑ

1. Περιγράψτε τον τρόπο με τον οποίο διαδίδονται οι παλμοί του ρολογιού σε έναν ασύγχρονο απαριθμητή
2. Να σχεδιάσετε έναν προς τα πάνω ασύγχρονο δυαδικό απαριθμητή των 3 bits χρησιμοποιώντας J-K flip-flops.
3. Ποιά flip-flops πρέπει να αλλάξουν κατάσταση σε έναν προς τα πάνω ασύγχρονο δυαδικό απαριθμητή των 4 bits για να πάει στην επόμενη κατάσταση, όταν η προηγούμενη είναι:
(α) 0000

(β) 0101

(γ) 1010

(δ) 1111

4. Να σχεδιάσετε έναν προς τα πάνω σύγχρονο δυαδικό απαριθμητή των 3 bits χρησιμοποιώντας J-K flip-flops.
5. Ποιες είναι οι βασικές διαφορές μεταξύ ενός ασύγχρονου και ενός σύγχρονου απαριθμητή;
6. Ένας προς τα κάτω δυαδικός απαριθμητής των 4 bits έχει δυνατότητα παράλληλης φόρτωσης. Αν στις εισόδους φόρτωσης θέσουμε $14131211 = 1001$, να δώσετε τις διαφορετικές καταστάσεις των flip-flops του απαριθμητή έως ότου μηδενισθεί.
7. Πόσες διαφορετικές καταστάσεις παίρνει ένας απαριθμητής modulo 8 και ποιες είναι αυτές, αν ο απαριθμητής είναι προς τα πάνω και ξεκινά από το μηδέν;
8. Να σχεδιάσετε έναν προς τα πάνω ασύγχρονο δυαδικό απαριθμητή modulo 8 χρησιμοποιώντας τρία J-K flip-flops.
9. Ένας ασύγχρονος δυαδικός απαριθμητής των 4 bits χρησιμοποιείται σαν διαιρέτης συχνότητας. Ποια θα είναι η συχνότητα εξόδου του τελευταίου flip-flop αν συχνότητα που εφαρμόζεται στην είσοδο του ρολογιού του πρώτου flip-flop είναι 16 Hz;
10. Ο μέγιστος αριθμός παλμών που μπορούν να απαριθμηθούν με ένα δυαδικό απαριθμητή των 8 bits σε ένα κύκλο μέτρησης είναι:
α. 128
β. 256
γ. 1024
11. Αν σε έναν προς τα πάνω δυαδικό απαριθμητή χρησιμοποιήσουμε για εξόδους τις συμπληρωματικές εξόδους των flip-flops που τον αποτελούν, τότε ο απαριθμητής μετρά προς τα κάτω.
ΣΩΣΤΟ ΛΑΘΟΣ